

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-334964

(43)Date of publication of application : 22.11.2002

(51)Int.Cl.

H01L 23/50  
H05K 1/18

(21)Application number : 2001-137121

(71)Applicant : HITACHI LTD  
AKITA DENSHI SYSTEMS:KK

(22)Date of filing : 08.05.2001

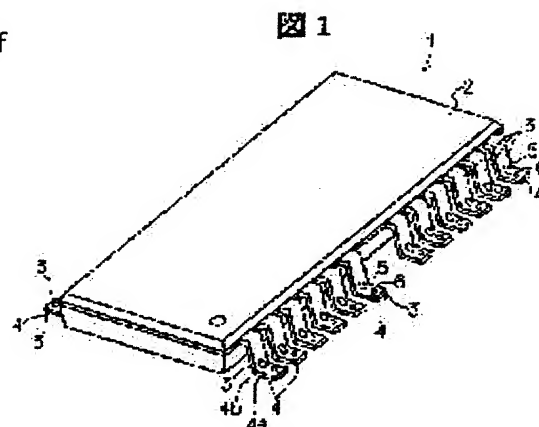
(72)Inventor : KOBAYASHI TAKUMI

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device in which the mounting strength can be improved and a solder bridge can be prevented.

**SOLUTION:** A semiconductor device 1 has a package 2 and a plurality of leads 3, extending from the periphery of the package 2, and each lead 3 has a lead foot portion 4, having a structure of being bent midway by a single step and overlapping the land of a wiring board at its end. In each lead 3, a groove 5, capable of sucking up a solder connecting the land to the portion 4 by capillary phenomenon, is provided to range from the part facing to the land to the upright part 4b which is located remote from the land of the portion 4.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-334964

(P2002-334964A)

(43) 公開日 平成14年11月22日 (2002. 11. 22)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テマコード\* (参考)

H 0 1 L 23/50

H 0 1 L 23/50

N 5 E 3 3 6

H 0 5 K 1/18

H 0 5 K 1/18

H 5 F 0 6 7

審査請求 未請求 請求項の数 1 O L (全 7 頁)

(21) 出願番号 特願2001-137121(P2001-137121)

(22) 出願日 平成13年 5 月 8 日 (2001. 5. 8)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(71) 出願人 000100997

株式会社アキタ電子システムズ

秋田県河辺郡雄和町相川字後野85番地

(72) 発明者 小林 卓巳

秋田県南秋田郡天王町天王字長沼64 アキ

タ電子株式会社内

(74) 代理人 100083552

弁理士 秋田 収喜

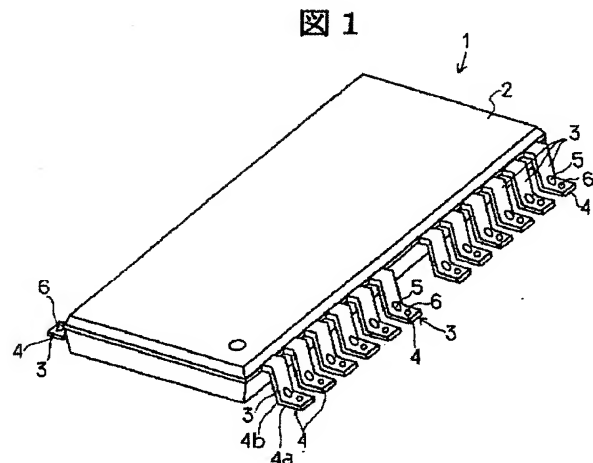
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【課題】 半導体装置の実装強度向上と半田ブリッジ抑止を達成できる半導体装置を提供する。

【解決手段】 パッケージ2と、パッケージ2の周囲から延在する複数のリード3とを有し、リード3は途中で一段屈曲してその先端は配線基板のランドに重なる構造のリードフット部4を構成してなる半導体装置1であって、リードフット部4の前記ランドに対面する部分から前記ランドから遠ざかる立ち上がり部分4bにかけて前記ランドにリードフット部4を接続する半田を毛細管現象によって吸い上げることができる溝5が設けられている。



## 【特許請求の範囲】

【請求項 1】 パッケージと、前記パッケージの周囲から延在する複数のリードとを有し、前記リードは途中で一段屈曲してその先端は配線基板のランドに重なる構造のリードフット部を構成してなる半導体装置であって、前記リードフット部の前記ランドに対面する部分から前記ランドから遠ざかる立ち上がり部分に掛けて前記ランドにリードフット部を接続する半田を毛細管現象によって吸い上げることができる溝が設けられていることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は表面実装型の半導体装置、特に配線基板のランドにリードフット部を半田（ソルダー）によって接続する実装技術に適用して有効な技術に関する。

## 【0002】

【従来の技術】電子機器は、機能面から高密度実装化が、実装面から軽量化、小型化、薄型化が要請されている。この結果、組み込まれる電子部品の端子（リード、ピン）のピッチが狭小化するとともに、端子数も増大して多ピン化傾向にある。また、電子機器に組み込まれる電子部品の多くは、表面実装（面付け）が可能な構造に移行して来ている。また、電子部品の製造コスト低減のために、パッケージ形態としては、材料が安くかつ生産性が良好な樹脂封止（レジンパッケージ）型半導体装置が多用されている。レジンパッケージ型半導体装置としては、金属製のリードフレームを用いるもの、表面にリードを形成した絶縁性フィルムを用いるもの（TCP：Tape Carrier Package）等が知られている。

【0003】表面実装（サーフェスマウント用パッケージ）の動向については、たとえば、「NEC技報」Vol. 40 No.10/1987、P213～P216に記載されている。この文献には、現在の IC 用面付けパッケージとして、SOP（Small Outline Package）、QFP（Quad Flat Package）、PLCC（Plastic Leaded Chip Carrier）、SOJ（Small Outline J-bend）を挙げている。また、この文献には、面付けパッケージをリード形状で分類し、主要なリード形状として、ガルウィング、Jベンド、バットリードを挙げている。

【0004】一方、工業調査会発行「電子材料」1991年 4月号、同年 4月 1日発行、P22～P28には、ファインピッチの SMT（Surface Mount Technology）実装について記載されている。この文献には、ファインピッチタイプの IC パッケージを一括リフローソルダーリングで実装する方法が開示されている。この実装方法では、配線基板に予備ハンダを付けた後、ハンダペーストを印刷する。つぎに、QFP（Quad Flat Package）をマウントした後、ファインピッチパッケージとなる TCP（Tape Carrier Package）を実装するために接着剤を塗布し、

その後 TCP をマウントする。最後に一括リフローソルダーリングを行って QFP および TCP の実装が終了する。

【0005】また、特開平 7-130937 号公報には、配線基板に半田によってリードフット部を固定する表面実装型半導体装置が開示されている。同文献には、リードフット部に半田が吸い込まれる吸込孔（空隙部）を設け、配線基板のマウントパッドにリードフット部を半田で接着した際、前記吸込孔に半田を入り込ませて実装を行う構造になっている。これにより、リードフット部と配線基板との接合強度の向上を図っている。なお、同文献には、リードフット部の平坦な部分に 2 つの吸込孔が設けられている。

## 【0006】

【発明が解決しようとする課題】LSI 等半導体装置のリードフット部を配線基板からなる実装基板に接着させる際に、あらかじめ両者に半田処理を行いリフローを行っている。しかし、製造バラツキによる平坦度不足や微細ピッチ化に伴いフレームの接着面が小さくなり、接着強度が弱くなってきている。そのため、強度向上策として、半田の量を過剰にして接着強度を確保する方法、また、特定リードを太くし強度を確保する方法が採用されている。しかし、従来のこの種の方法では、LSI の表面実装技術において、リードを実装基板に接着する際、半田ブリッジやリード浮き（リード剥がれ）が生じ、装置故障に至ってしまうことがある。

【0007】また、実装強度を向上させるために、前記のようにリードフット部に半田を吸い込む吸込孔を設けた例もある。

【0008】しかし、単に吸込孔を平坦部分に設けただけでは接合強度向上に自ずから限界がある。本発明者は吸込孔の位置等について分析検討した結果、リードフット部の立ち上がり部分に設けることが接合強度（実装強度）をより大きくできることに気がつき本発明をなした。

【0009】本発明の目的はリードの実装強度向上を達成できる半導体装置を提供することにある。

【0010】本発明の他の目的は実装時半田ブリッジが発生し難い半導体装置を提供することにある。

【0011】本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

## 【0012】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0013】（1）パッケージと、前記パッケージの周囲から延在する複数のリードとを有し、前記リードは途中で一段屈曲してその先端は配線基板のランドに重なる構造のリードフット部を構成してなる半導体装置であっ

て、前記リードフット部の前記ランドに対面する部分から前記ランドから遠ざかる立ち上がり部分に掛けて前記ランドにリードフット部を接続する半田を毛細管現象によって吸い上げることができる溝が設けられている。

【0014】前記(1)の手段によれば、(a)リードフット部の立ち上がり部分に半田を毛細管現象によって吸い上げることができる溝が設けられていることから、配線基板のランドにあらかじめ塗布した半田を再溶融(リフロー)した際、溶けた半田は前記溝に入りかつ溝に沿って上方に這い上がることから、リードフット部の立ち上がり部分の半田フィレットは大きく付き、接合強度が向上する。

【0015】(b)ランドに塗布された半田はリフロー時前記溝に吸い寄せられることから、リードフット部の側縁に張り出さなくなり、隣接するリードを接続する半田ブリッジは発生しなくなる。

【0016】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0017】(実施形態1)図1乃至図7は本発明の一実施形態(実施形態1)である半導体装置に係わる図である。本発明の表面実装型の半導体装置1は、外観的には、図1に示すように、偏平矩形状のパッケージ2と、このパッケージ2の両側から突出する複数のリード3とからなっている。前記リード3は一段途中で階段状に折れ曲がったガルウィング型となり、先端はリードフット部4を構成している。

【0018】リードフット部4は、図6の実装基板20の主面に設けられた配線で形成されるランド21に重なるように形成されている。ランド21は半導体装置1の各リードフット部4に対応するように2列に配置されている。

【0019】また、これが本発明の特徴の一つであるが、図1、図2及び図3に示すように、リードフット部4の前記ランド21に対面する部分(重なる部分である平坦部4a)から、ランド21から遠ざかる立ち上がり部分4bに掛けて溝(長孔)5が設けられている。前記溝5は、半田実装時、前記ランド21にあらかじめ塗布した半田30(図6及び図7参照)を毛細管現象によってリード上方に吸い上げることができる幅の溝となっている。また、リードフット部4の前記ランド21に重なる平坦部4aには貫通した孔6が設けられている。

【0020】半導体装置1は、図2に示すように、パッケージ2の内部に半導体チップ7が位置している。この半導体チップ7は絶縁性の接着テープ8を介してバスバーリード9及びリード3の内端部がそれぞれ固定されている。また、半導体チップ7の図示しない電極とバスバーリード9及びリード3の内端部はそれぞれ導電性のワ

イヤ10で電氣的に接続されている。この構成はリードオンチップ(LOC)構造となっている。また、半導体装置1はメモリーモジュール用の半導体装置である。

【0021】つぎに、本実施形態1の半導体装置1の製造について図4及び図5を参照しながら説明する。半導体装置1の製造においては、図4に示すようなリードフレーム35が用意される。このリードフレーム35は、Fe-Ni合金板やCu合金板等をエッチングによりまたはプレスによってバタニングすることによって製造される。図4で示すリードフレーム35は、短冊体の一部、即ち一端部分を示すものであり、半導体装置1を製造するための単一のリードフレームパターン(セルパターン)を示すものである。

【0022】セルパターンは同図に示すように、一対の平行に延在する外枠36と、この一対の外枠36を連結しかつ外枠36に直交する方向に延在する一対の内枠37とによって形成される枠構造となっている。内枠37からは外枠36に平行に複数のリード3が延在している。両端に位置するリードはバスバーリード9を構成し、セルパターンの中央側で内枠37に平行となる連結部9aを介して一体となっている。従って、この連結部9aは内枠37に沿ってセルパターンの中央に2本設けられる構造になっている。

【0023】内枠37から延在する複数のリード3はそれぞれ所定のパターンに形成され、それぞれの内端を前記連結部9aの近傍にまで延在させるパターンになっている。

【0024】バスバーリード9を含む各リード3は、その途中を内枠37に沿って平行に延在するダムバー38で支持されている。また、バスバーリード9はそれぞれバタニングされた複数のタイバーで支持されている。それ以外の各部のパターン部分は、特に説明は加えないが、この種のリードフレームで採用されるパターンである。

【0025】また、これが本発明の特徴の一つであるが、リードフレーム35の各リード3(含むバスバーリード9)には、最終的にリードフット部とされる部分に対応して溝5(長孔)と孔6が形成されている。さらに、前記外枠36にはガイド孔39~41が設けられている。

【0026】つぎに、このようなリードフレーム35に対してチップボンディング、ワイヤボンディングが行われる。すなわち、図5に示すように、平行に延在する2本のバスバーリード9の連結部9a及びこれら連結部9aの近傍に望むリード3の内端部を含む領域には、図5では図示しない接着テープ8を介して半導体チップ7が固定される。この構成はリードオンチップ(LOC)構造であり、二本の連結部9a間に一列に半導体チップ7の電極11が並ぶ。

【0027】つぎに、半導体チップ7の電極11と所定

のリード3の内端部を導電性のワイヤ10で電氣的に接続するとともに、電極11と所定のバスバーリード9の連結部9aをワイヤ10で電氣的に接続する。

【0028】つぎに、図5の破線で示すモールド領域45を常用のトランスファモールド装置によってモールドし、図示はしないが、不要なリードフレーム部分であるダムバー38の切断除去、リード切断を行い、かつモールドによって形成されたパッケージ2の両側から突出するリード3をガルウィング型に成形して、図1及び図2に示す半導体装置1を製造する。

【0029】このような半導体装置1は、図6及び図7に示すように所定の実装基板20に実装される。図6はケースを外したメモリモジュールの例である。実装基板20は、特に限定はされないが、ガラスエポキシ樹脂配線基板からなり、所定のパターンに配線22が設けられている。配線22の端はスルーホール部23となり、中層または下層の配線と電氣的に接続されている。また、実装基板20の一辺に沿って複数の外部電極端子24が並んで設けられた構造となっている。この外部電極端子24を有する辺の中央には識別用にスリット25が設けられている。

【0030】実装基板20の主面には、前記半導体装置1を搭載できるように、半導体装置1の二列のリードフット部4の平坦部4aに対応してランド21が設けられている。そして、各リードフット部4は、図6において黒く塗り潰して示した半田30でランド21に固定されている。この固定（実装）状態は、図7の断面図に示されている。

【0031】同図に示すように、前記ランド21に対面するリードフット部4の平坦部4aに設けられた孔6に半田30が埋まるとともに、リードフット部4の平坦部4aから前記ランド21から遠ざかる立ち上がり部分4bに亘って設けられた溝（長孔）5にも半田30が埋まっている。溝5の部分では、半田30は毛細管現象によって吸い上げられて溝5の高い縁にまで吸い上げられて接着強度が高くなる良好な半田フィレットを形成している。即ち、所定の幅を有する溝5によって半田30は高い位置まで吸い寄せられることから、半田フィレットの表面はなだらかな曲面を形成することになり、半田による接着強度は高いものとなる。これにより、リード3のランド21に対する接着強度は高いものとなる。また、この接着強度向上は、リードフット部4の平坦部4aに設けられた孔6に半田30が入り込むことによる半田30との接触面積の増大によってもさらに高められることになり、半導体装置1の実装強度向上が達成できる。

【0032】また、溝5及び孔6の存在によって、半田30はリードフット部4の溝5や孔6に吸い寄せられることから、リードフット部4の周囲に広がり難くなり、隣接するリードを電氣的に繋ぐ半田ブリッジも発生しなくなり、実装の信頼性が高くなる。

【0033】本実施形態1によれば、リードフット部4の立ち上がり部分4bに半田30を毛細管現象によって吸い上げることができる溝5が設けられていることから、実装基板20のランド21にあらかじめ塗布した半田30を再溶融（リフロー）した際、溶けた半田30は前記溝5に入りかつ溝5に沿って上方に這い上がることから、リードフット部4の立ち上がり部分4bの半田フィレットは大きく付き、接合強度が向上する。

【0034】また、本実施形態1によれば、ランド21に塗布された半田30はリフロー時前記溝5及び孔6に吸い寄せられることから、リードフット部4の側縁に張り出さなくなり、隣接するリード3を接続する半田ブリッジは発生しなくなる。

【0035】本実施形態1によれば、表面実装型半導体装置の実装基板20への接合強度の向上が図れることから、電子機器製造における表面実装型半導体装置の実装不良（システムダウン）低減が達成できるという相乗効果が得られる。

【0036】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない、たとえば、図8に示すように、長孔をさらに長い構造として、リードフット部4の平坦部4aに長く溝部分5cを設けるとともに、立ち上がり部分4bにも延在させる一本の溝5としても、実装時半田を多く溝5内に吸い込み、かつ高い位置まで半田フィレットを形成できることから、前記実施形態と同様に、あるいはそれ以上に接合強度を向上させることができる。

【0037】図9は他の溝構造である。この例ではリードフット部4の平坦部4aに設ける溝部分を細い溝5dとし、立ち上がり部分4bに至る溝部分では円形状溝5eとして大きくし、いわゆる万年筆のペン先の割れと同様に、半田の吸い込み時、円形状溝5eに半田を吸い寄せるようにしたものである。この構造においても前記実施形態と同様に、あるいはそれ以上に接合強度を向上させることができる。

【0038】図10は他の溝構造である。この例では、図8の構造において平坦部4aに設けた溝部分5cを平坦部4aの先端まで到達させた構造である。溝5が長い分だけ半田の吸い寄せ効果も大きい。従って、本実施形態の例においても前記実施形態と同様に、あるいはそれ以上に接合強度を向上させることができる。

【0039】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である表面実装型半導体装置の実装技術に適用した場合について説明したが、それに限定されるものではない。本発明は少なくとも表面実装型の電子部品にも同様に適用できる。

【0040】

【発明の効果】本願において開示される発明のうち代表

的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0041】(1) リードの半田による実装強度向上を達成できる半導体装置を提供することができる。

【0042】(2) 実装時半田ブリッジが発生し難い半導体装置を提供することができる。

【0043】(3) 半田ブリッジの発生を抑えることができ実装の信頼性が高くなる。

【図面の簡単な説明】

【図1】本発明の一実施形態(実施形態1)である半導体装置の外観を示す斜視図である。

【図2】本実施形態1の半導体装置の断面図である。

【図3】本実施形態1の半導体装置におけるパッケージから突出するリード部分のみを示す拡大斜視図である。

【図4】本実施形態1の半導体装置の製造に使用されるリードフレームの一部を示す平面図である。

【図5】前記リードフレームに半導体チップを固定しかつワイヤボンディングが行われたリードフレームの一部の平面図である。

【図6】本実施形態1の半導体装置の実装状態を示す斜\*20

\* 視図である。

【図7】本実施形態1の半導体装置の実装状態を示す断面図である。

【図8】本発明の他の実施形態を示すリードフット部の拡大斜視図である。

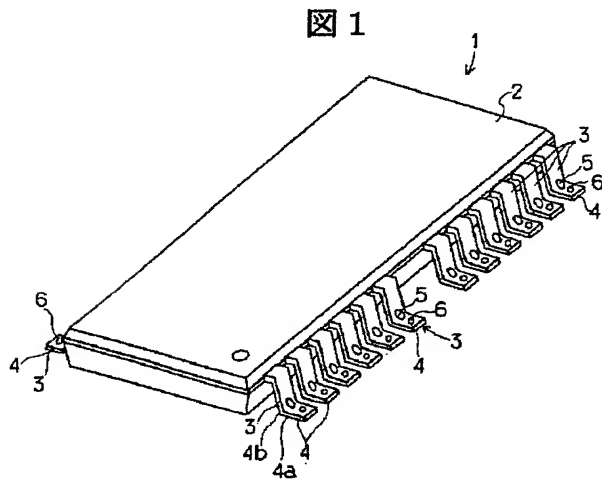
【図9】本発明の他の実施形態を示すリードフット部の拡大斜視図である。

【図10】本発明の他の実施形態を示すリードフット部の拡大斜視図である。

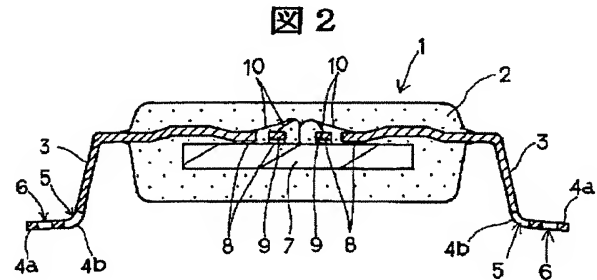
【符号の説明】

1…半導体装置、2…パッケージ、3…リード、4…リードフット部、4a…平坦部、4b…立ち上がり部分、5…溝(長孔)、5c…溝部分、5d…細い溝、5e…円形状溝、6…孔、7…半導体チップ、8…接着テープ、9…バスバーリード、9a…連結部、10…ワイヤ、11…電極、20…実装基板、21…ランド、22…配線、23…スルーホール部、24…外部電極端子、25…スリット、30…半田、35…リードフレーム、36…外枠、37…内枠、38…ダムバー、39~41…ガイド孔、45…モールド領域。

【図1】

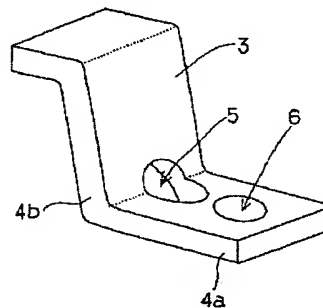


【図2】



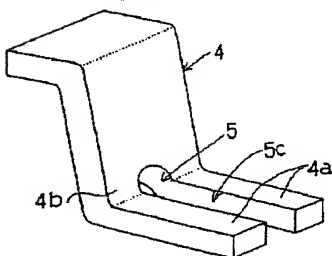
【図3】

図 3

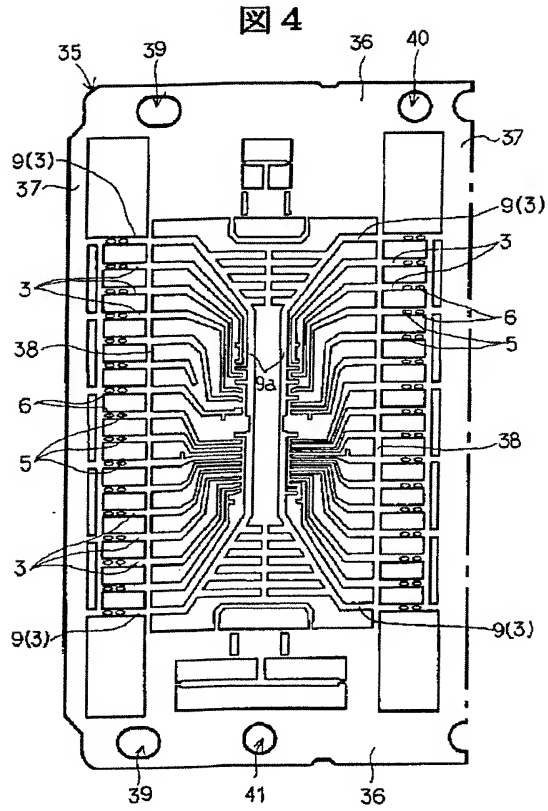


【図10】

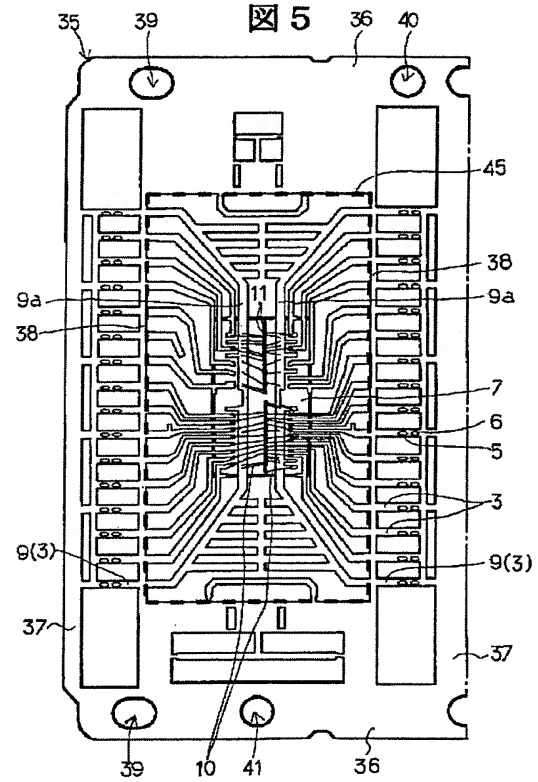
図 10



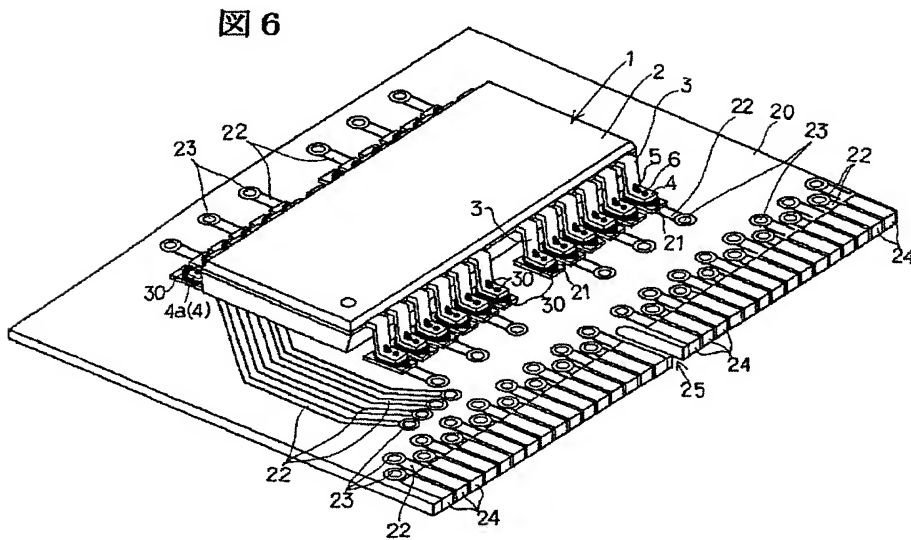
【図 4】



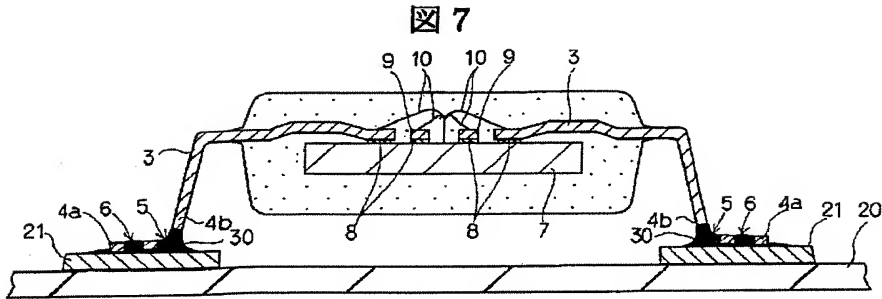
【図 5】



【図 6】

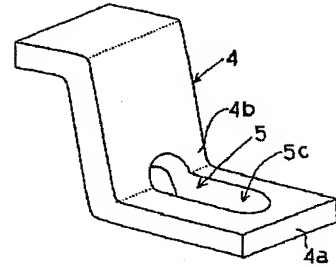


【図 7】



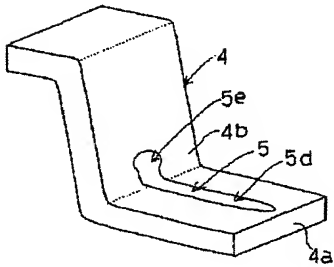
【図 8】

図 8



【図 9】

図 9



フロントページの続き

F ターム(参考) 5E336 AA04 CC02 CC06 CC07 CC10  
CC55 DD04 EE01 GG05 GG14  
5F067 AA15 BC07